

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-173266

(43)Date of publication of application : 23.06.2000

(51)Int.Cl.

G11C 11/407  
H02M 3/07

(21)Application number : 10-347007

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 07.12.1998

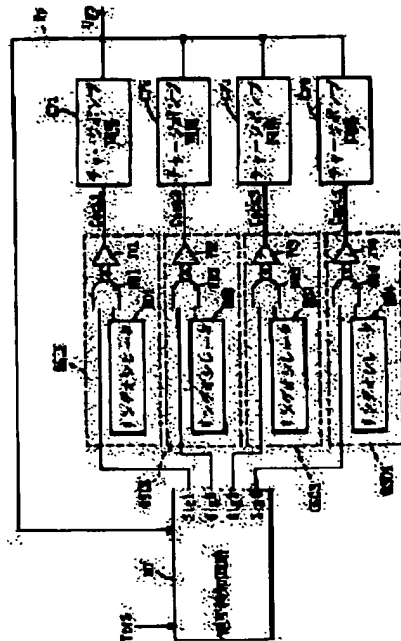
(72)Inventor : MORISHITA GEN

## (54) BOOSTING CIRCUIT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a boosting circuit in which overshoot and undershoot to a target boosting voltage can be suppressed and a stable boosting voltage can be supplied.

**SOLUTION:** The circuit is provided with a voltage detecting circuit DT, oscillators OSC<sub>i</sub> (where  $i=1$  to 4) and charge pump circuits CPI. The circuit DT compares voltages  $V_i$ , which are obtained by voltage dividing a boosting voltage  $V_{pp}$ , and a reference voltage  $V_{ccs}$  and generates activating signals  $S_{igi}$ . The oscillators OSC<sub>i</sub> output pulse signals having frequencies  $f_i$  as driving signals Cact<sub>i</sub>. The circuits CPI operate in response to the signals Cact<sub>i</sub> and boost the voltage  $V_{pp}$ .



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-173266

(P2000-173266A)

(43) 公開日 平成12年6月23日 (2000.6.23)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード(参考)
G 1 1 C 11/407		G 1 1 C 11/34	3 5 4 F 5 B 0 2 4
H 0 2 M 3/07		H 0 2 M 3/07	5 H 7 3 0

審査請求 未請求 請求項の数10 O L (全 13 頁)

(21) 出願番号 特願平10-347007

(22) 出願日 平成10年12月7日 (1998. 12. 7)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 森下 玄

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100064746

弁理士 深見 久郎 (外3名)

Fターム(参考) 5B024 AA03 BA27 CA09 CA10

5H730 AA04 BB02 BB57 BB82 DD04

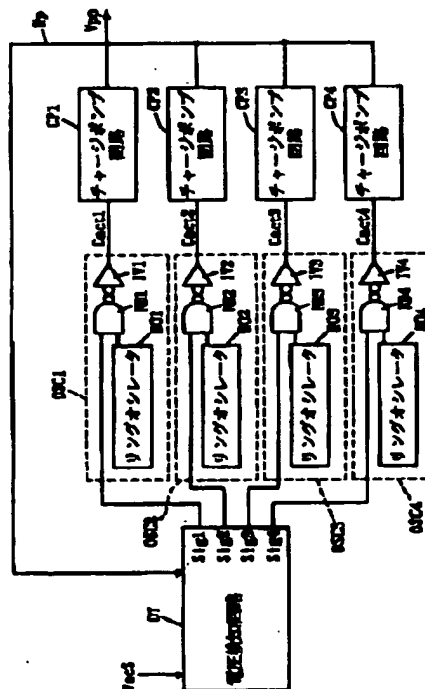
FD01 FG07

(54) 【発明の名称】 昇圧回路

(67) 【要約】

【課題】 目標とする昇圧電圧に対するオーバーシュート、アンダーシュートを抑え、安定した昇圧電圧を供給することができる昇圧回路を提供する。

【解決手段】 電圧検知回路DTと、発振器OSC<sub>i</sub> (i=1-4) と、チャージポンプ回路CPIとを備える。電圧検知回路DTは、昇圧電圧V<sub>pp</sub>を分圧した電圧V<sub>i</sub>と基準電圧V<sub>ccs</sub>とを比較して活性化信号S<sub>ig1</sub>を発生する。発振器OSC<sub>i</sub>は、周波数f<sub>i</sub>のパルス信号を駆動信号C<sub>acti</sub>として出力する。チャージポンプ回路CPIは、駆動信号C<sub>acti</sub>に応答して動作し、昇圧電圧V<sub>pp</sub>を昇圧する。



【特許請求の範囲】

【請求項1】 (a) 電源電圧よりも高い電圧を受ける昇圧ノードと、

(b) 前記昇圧ノードの電圧を受けて前記昇圧ノードの電圧よりも低くかつ互いに異なる複数の電圧を発生する分圧手段、および前記複数の電圧に対応して設けられ、各々が対応する電圧を基準電圧と比較してその対応する電圧が前記基準電圧よりも低いとき活性化信号を発生する複数の比較器を含む電圧検知手段と、

(c) 前記複数の比較器からの活性化信号に応じた駆動能力で前記昇圧ノードを昇圧する昇圧手段とを備える昇圧回路。

【請求項2】 前記電源電圧は、前記基準電圧として前記複数の比較器に共通に与えられる、請求項1に記載の昇圧回路。

【請求項3】 前記分圧手段は、前記昇圧ノードと接地ノードとの間に直列に接続された複数の抵抗器を含む、請求項1に記載の昇圧回路。

【請求項4】 前記分圧手段は、前記昇圧ノードと接地ノードとの間に直列に接続された複数のトランジスタを含む、請求項1に記載の昇圧回路。

【請求項5】 前記昇圧手段は、前記複数の比較器に対応して設けられ、各々が対応する比較器からの活性化信号にตอบสนองしてパルス信号を出力する複数の発振手段と、

前記複数の発振手段に対応して設けられ、各々が対応する発振手段からのパルス信号にตอบสนองして前記昇圧ノードの電圧を昇圧する複数のチャージポンプ回路とを含む、請求項1から請求項4のいずれかに記載の昇圧回路。

【請求項6】 前記複数の発振手段は、互いに異なる周波数のパルス信号を出力する、請求項5に記載の昇圧回路。

【請求項7】 前記昇圧手段は、前記複数の比較器に対応して設けられ、各々が対応する比較器からの活性化信号にตอบสนองしてパルス信号を出力する複数の発振手段と、

前記複数の発振手段のうち1つの発振手段からのパルス信号にตอบสนองして前記昇圧ノードの電圧を昇圧するチャージポンプ回路とを含む、請求項1に記載の昇圧回路。

【請求項8】 前記複数の発振手段は、互いに異なる周波数のパルス信号を出力する、請求項7に記載の昇圧回路。

【請求項9】 前記昇圧手段は、複数のインバータにより構成され、パルス信号を出力するリングオシレータと、

前記活性化信号にตอบสนองして前記複数のインバータのうち少なくとも1つのインバータの駆動電流を制御する制御手段と、

前記リングオシレータからのパルス信号にตอบสนองして前記昇圧ノードの電圧を昇圧するチャージポンプ回路とを含

む、請求項1に記載の昇圧回路。

【請求項10】 前記制御手段は、電源ノードと接地ノードとの間に接続された第1のPチャネルMOSトランジスタと、前記第1のPチャネルMOSトランジスタと接地ノードとの間に前記第1のPチャネルMOSトランジスタと直列に接続され、かつ自身のゲートとドレインとが接続された第1のNチャネルMOSトランジスタと、電源ノードと接地ノードとの間に前記第1のPチャネルMOSトランジスタと並列に接続され、ゲートが前記第1のPチャネルMOSトランジスタのゲートおよび自身のドレインに接続された第2のPチャネルMOSトランジスタと、

前記複数の比較器に対応して設けられ、各々が前記第2のPチャネルMOSトランジスタと接地ノードとの間に前記第2のPチャネルMOSトランジスタと直列に接続されかつ互いに並列に接続され、対応する活性化信号にตอบสนองしてオン/オフする複数のNチャネルMOSトランジスタとを含み、

前記複数のインバータの各々は、

入力ノードと、

出力ノードと、

電源ノードと出力ノードとの間に接続され、入力ノードの電圧をゲートに受ける第3のPチャネルMOSトランジスタと、

電源ノードと出力ノードとの間に前記第3のPチャネルMOSトランジスタと直列に接続され、前記第2のPチャネルMOSトランジスタのゲートに接続されたゲートを有する第4のPチャネルMOSトランジスタと、

出力ノードと接地ノードとの間に接続され、入力ノードの電圧をゲートに受ける第2のNチャネルMOSトランジスタと、

出力ノードと接地ノードとの間に前記第2のNチャネルMOSトランジスタと直列に接続され、前記第1のNチャネルMOSトランジスタのゲートに接続されたゲートを有する第3のNチャネルMOSトランジスタとを含む、請求項9に記載の昇圧回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は昇圧回路に関し、さらに詳しくは、負荷の動作による電圧変動を補償する昇圧回路に関する。

【0002】

【従来の技術】DRAM（ダイナミックランダムアクセスメモリ）と呼ばれる半導体記憶装置は主にCMOSプロセスを用いて形成されるが、その構成要素の1つであるメモリセルトランジスタは、チップ面積の低減を図るためNチャネルMOSトランジスタのみで作製される場合が多い。そして、メモリセルへH（論理ハイ）レベルのデータを正確に書込むために、メモリセルトランジス

タのゲートには通常のHレベル、すなわち電源電圧レベルよりも高い電圧（以下、昇圧電圧という）が用いられている。この昇圧電圧 $V_{pp}$ は、メモリセルトランジスタのしきい値 $V_{thc}$ と、メモリセルへ書込まれるHレベルのデータの電圧レベルである電圧 $V_{ccs}$ を用いて、 $V_{pp} = V_{ccs} + V_{thc} + \alpha$ と表わすことができる。ここで、 $\alpha$ はマージンを意味する。

【0003】この昇圧電圧 $V_{pp}$ は、メモリセルトランジスタのゲート酸化膜の破壊耐圧の観点からあまり大きな値に設定することはできない。また、昇圧電圧 $V_{pp}$ が、 $V_{pp} < V_{ccs} + V_{thc}$ の場合（ $\alpha < 0$ ）には、Hレベルのデータを完全にメモリセルに書き戻すことができない。以上の点を考慮した場合、たとえば内部電源電圧 $V_{ccs}$ が2.0V、メモリセルトランジスタの酸化膜耐圧が70Åの場合には、昇圧電圧 $V_{pp}$ は3.5V程度に設定するのが妥当であり、通常その昇圧電圧 $V_{pp}$ は同一チップ上に形成された昇圧回路で生成される。さらに、昇圧電圧 $V_{pp}$ のレベルはチップ内部でモニタされ、ある設定レベル以下となった場合には昇圧回路を動作させて設定レベルを維持するように構成されている。

【0004】図7は、このような昇圧回路の構成の一例を示すブロック図である。なお、図7に示される昇圧回路は、「超LSIメモリ」（伊藤清男著、培風館、1994年、P317 図4.56）に記載されているものと同様のものである。この回路では、昇圧電圧 $V_{pp}$ の電圧レベルは、レベルモニタLMによって検出され、検出された昇圧電圧 $V_{pp}$ のレベルが所定の検知レベルよりも低い場合にはリングオシレータRSが動作を開始し、これにตอบสนองして昇圧部UCのポンピングキャパシタCpが駆動する。この結果、昇圧電圧 $V_{pp}$ のレベルが上昇する。昇圧電圧 $V_{pp}$ のレベルが所定のレベルに達すると、レベルモニタLMによってリングオシレータRSは動作を停止し、ポンピングキャパシタCpによる昇圧は終了する。

【0005】

【発明が解決しようとする課題】従来の昇圧回路では、予め所定の検知レベルを1つ決めておき、昇圧電圧のレベルがその検知レベルよりも低いか否かで昇圧回路を動作させるか否かを決定していた。このような昇圧回路においては、昇圧電圧 $V_{pp}$ が検知レベルよりわずかに低下した場合であっても駆動力の大きな昇圧部UCにより昇圧電圧 $V_{pp}$ が昇圧されることにより、あるいは、レベルモニタLM自身の応答の遅れにより、必要以上に昇圧電圧 $V_{pp}$ が上昇してしまう。このため、所望の設定電圧に対して昇圧電圧 $V_{pp}$ が見掛け上大きく振動しているような状態になる。また、昇圧部UCの昇圧能力は汎用スペックにおけるDRAMの最小サイクルに合わせて設計されるため、DRAMが非常にゆっくりとしたサイクルで動作しているときでも駆動力の大きな昇圧回路

UCによる昇圧が行なわれる。このため、無駄な電圧変動が生じる。このようなことは、昇圧電圧の上限が信頼性の観点から制限され、下限がメモリセルへHレベルのデータを安定した状態で書込むために制限される観点からは望ましくない。

【0006】このような昇圧回路の動作に伴って生じる昇圧電圧の変動を平滑化させるため、昇圧電圧を受ける昇圧ノードと接地ノードとの間にキャパシタを挿入するという手段が取られている。しかし、このキャパシタは非常に大きな容量を持つため、チップサイズの縮小化が要求される今日ではそのようなキャパシタを挿入することは困難となる。

【0007】この発明は、以上のような問題を解決するためになされたもので、その目的は、目標とする昇圧電圧に対するオーバーシュート、アンダーシュートを抑え、安定した昇圧電圧を供給することができる昇圧回路を提供することである。

【0008】

【課題を解決するための手段】この発明に従った昇圧回路は、昇圧ノードと、電圧検知手段と、昇圧手段とを備える。昇圧ノードは、電源電圧よりも高い電圧を受ける。電圧検知手段は、分圧手段および複数の比較器を含む。分圧手段は、昇圧ノードの電圧を受けて昇圧ノードの電圧よりも低くかつ互いに異なる複数の電圧を発生する。複数の比較器は、複数の電圧に対応して設けられ、各々が対応する電圧を基準電圧と比較してその対応する電圧が基準電圧よりも低いとき活性化信号を発生する。昇圧手段は、複数の比較器からの活性化信号に応じた駆動能力で昇圧ノードの電圧を昇圧する。

【0009】上記昇圧回路においては、昇圧ノードの電圧が低下すると、これに応じて分圧手段から発生される複数の電圧のレベルも低下する。そして、複数の比較器のうち、分圧手段から基準電圧よりも低い電圧を受ける比較器から活性化信号が発生される。昇圧手段は、活性化信号に応じた駆動能力で昇圧ノードの電圧を昇圧する。すなわち、昇圧ノードの電圧が目標とする値よりもわずかに低下したときは小さな駆動能力で昇圧ノードの電圧を昇圧し、大きく低下したときは大きな駆動能力で昇圧ノードの電圧を昇圧する。これにより、目標とする昇圧電圧に対するオーバーシュート、アンダーシュートを抑え、安定した昇圧電圧を供給することができる。

【0010】好ましくは、上記電源電圧は、基準電圧として複数の比較器に共通に与えられる。

【0011】上記昇圧回路においては、基準電圧として電源電圧を用いているため、基準電圧を生成するための回路を別個に設ける必要がない。したがって、電圧検知手段は非常に簡単な構成となる。

【0012】好ましくは、上記分圧手段は、昇圧ノードと接地ノードとの間に直列に接続された複数の抵抗器を含む。

【0013】好ましくは、上記分圧手段は、昇圧ノードと接地ノードとの間に直列接続された複数のトランジスタを含む。

【0014】好ましくは、上記昇圧手段は、複数の発振手段と、複数のチャージャポンプ回路とを含む。複数の発振手段は、複数の比較器に対応して設けられ、各々が対応する比較器からの活性化信号にตอบสนองしてパルス信号を出力する。複数のチャージャポンプ回路は、複数の発振手段に対応して設けられ、各々が対応する発振手段からのパルス信号にตอบสนองして昇圧ノードの電圧を昇圧する。

【0015】好ましくは、上記複数の発振手段は、互いに異なる周波数のパルス信号を出力する。

【0016】上記昇圧回路においては、複数のチャージャポンプの駆動能力は、対応する発振手段からのパルス信号の周波数に応じて異なる。

【0017】好ましくは、上記昇圧手段は、複数の発振手段と、チャージャポンプ回路とを含む。複数の発振手段は、複数の比較器に対応して設けられ、各々が対応する比較器からの活性化信号にตอบสนองしてパルス信号を出力する。チャージャポンプ回路は、複数の発振手段のうち1つの発振手段からのパルス信号にตอบสนองして昇圧ノードの電圧を昇圧する。

【0018】上記昇圧回路においては、チャージャポンプ回路は1つ設けるだけでよい。ため、チップ面積を低減することができる。

【0019】好ましくは、上記複数の発振手段は、互いに異なる周波数のパルス信号を出力する。

【0020】上記昇圧回路においては、昇圧ノードの電圧が目標とする値よりも大きく低下したときは高い周波数のパルス信号がチャージャポンプ回路に供給され、チャージャポンプ回路は大きな駆動能力で昇圧ノードの電圧を昇圧する。一方、昇圧ノードの電圧が目標とする値よりもわずかに低下したときは低い周波数のパルス信号がチャージャポンプ回路に供給され、チャージャポンプ回路は小さな駆動能力で昇圧ノードの電圧を昇圧する。これにより、目標とする昇圧電圧に対するオーバーシュート、アンダーシュートを抑え、安定した昇圧電圧を供給することができる。

【0021】好ましくは、上記昇圧手段は、リングオシレータと、制御手段と、チャージャポンプ回路とを含む。リングオシレータは、複数のインバータにより構成され、パルス信号を出力する。制御手段は、活性化信号にตอบสนองして複数のインバータのうち少なくとも1つのインバータの駆動電流を制御する。チャージャポンプ回路は、リングオシレータからのパルス信号にตอบสนองして昇圧ノードの電圧を昇圧する。

【0022】上記昇圧回路においては、制御手段による駆動電流の制御に応じてリングオシレータから出力されるパルス信号の周波数が変化する。このパルス信号の周

波数に応じた駆動能力でチャージャポンプ回路は昇圧ノードの電圧を昇圧する。このように、チャージャポンプ、リングオシレータはそれぞれ1つずつ設けるだけでよい。ため、チップ面積を低減することができる。

【0023】好ましくは、上記制御手段は、第1のPチャネルMOSトランジスタと、第1のNチャネルMOSトランジスタと、第2のPチャネルMOSトランジスタと、複数のNチャネルMOSトランジスタとを含む。第1のPチャネルMOSトランジスタは、電源ノードと接地ノードとの間に接続される。第1のNチャネルMOSトランジスタは、第1のPチャネルMOSトランジスタと接地ノードとの間に第1のPチャネルMOSトランジスタと直列に接続され、かつ自身のゲートとドレインとが接続される。第2のPチャネルMOSトランジスタは、電源ノードと接地ノードとの間に第1のPチャネルMOSトランジスタと並列に接続され、ゲートが第1のPチャネルMOSトランジスタのゲートおよび自身のドレインに接続される。複数のNチャネルMOSトランジスタは、複数の比較器に対応して設けられ、各々が第2のPチャネルMOSトランジスタと接地ノードとの間に第2のPチャネルMOSトランジスタと直列に接続されかつ互いに並列に接続され、対応する活性化信号にตอบสนองしてオン/オフする。上記複数のインバータの各々は、入力ノードと、出力ノードと、第3のPチャネルMOSトランジスタと、第4のPチャネルMOSトランジスタと、第2のNチャネルMOSトランジスタと、第3のNチャネルMOSトランジスタとを含む。第3のPチャネルMOSトランジスタは、電源ノードと出力ノードとの間に接続され、入力ノードの電圧をゲートに受ける。第4のPチャネルMOSトランジスタは、電源ノードと出力ノードとの間に第3のPチャネルMOSトランジスタと直列に接続され、第2のPチャネルMOSトランジスタのゲートに接続されたゲートを有する。第2のNチャネルMOSトランジスタは、出力ノードと接地ノードとの間に接続され、入力ノードの電圧をゲートに受ける。第3のNチャネルMOSトランジスタは、出力ノードと接地ノードとの間に第2のNチャネルMOSトランジスタと直列に接続され、第1のNチャネルMOSトランジスタのゲートに接続されたゲートを有する。

【0024】

【発明の実施の形態】以下、この発明の実施の形態を図面を参照して詳しく説明する。なお、図中同一または相当部分には同一符号を付してその説明を繰返さない。

【0025】【実施の形態1】図1は、この発明の実施の形態1による昇圧回路の全体構成を示すブロック図である。図1を参照して、この昇圧回路は、電圧検知回路DTと、発振器OSC1-OSC4と、チャージャポンプ回路CP1-CP4とを備える。電圧検知回路DTは、昇圧ノードNpの電圧（以下、昇圧電圧という。）Vppと基準電圧Vccsとを受けて活性化信号Sig1-

Sig4を発生する。発振器OSC*i* (*i*=1-4)は、リングオシレータRO*i*と、NAND回路ND*i*と、インバータIV*i*とを含む。リングオシレータRO*i*は、奇数段のインバータにより構成され、周波数*f<sub>i</sub>*のパルス信号を発生する。NAND回路ND*i*は、活性化信号Sig*i*とリングオシレータRO*i*の出力とのNANDを出力する。インバータIV*i*は、NAND回路ND*i*の出力を反転して駆動信号Cact*i*として出力する。

【0026】リングオシレータRO*i*から発生するパルス信号の周波数*f<sub>i</sub>*は、リングオシレータRO*i*内のインバータ回路を構成するトランジスタのチャネル幅とチャネル長との比を変えることにより調整することができ、ここでは、 $f_1 > f_2 > f_3 > f_4$ とする。

【0027】チャージャポンプ回路CP*i*は、駆動信号Cact*i*にตอบสนองして動作し、昇圧電圧Vppを昇圧する。

【0028】図2は、図1に示された電圧検知回路DTの構成を示すブロック図である。図2を参照して、電圧検知回路DTは、抵抗器RU、R1-R4、RLと、比較回路AP1-AP4とを含む。抵抗器RU、R1-R4、RLは、昇圧ノードNpと接地ノードVssとの間に、昇圧ノードNp側から抵抗器RU、抵抗器R1、抵抗器R2、抵抗器R3、抵抗器R4、抵抗器RLの順に直列に接続される。比較回路AP1は、抵抗器R1と抵抗器R2との相互接続ノードの電圧V1と基準電圧VccSとを比較して、 $V_1 < V_{ccS}$ のとき活性化信号Sig1を発生する。比較回路AP2は、抵抗器R2と抵抗器R3との相互接続ノードの電圧V2と基準電圧VccSとを比較して、 $V_2 < V_{ccS}$ のとき活性化信号Sig2を発生する。比較回路AP3は、抵抗器R3と抵抗器R4との相互接続ノードの電圧V3と基準電圧VccSとを比較して、 $V_3 < V_{ccS}$ のとき活性化信号Sig3を発生する。比較回路AP4は、抵抗器R4と抵抗器RLとの相互接続ノードの電圧V4と基準電圧VccSとを比較して、 $V_4 < V_{ccS}$ のとき活性化信号Sig4を発生する。基準電圧VccSは、メモリセルへ書込まれるHレベルのデータの電圧等として電圧降下回路により生成されるものである。

【0029】以上のように、この実施の形態1における電圧検知回路DTは、昇圧電圧Vppを抵抗器RU、R1-R4、RLによって電圧V1-V4に分圧し、これらと基準電圧VccSとを比較回路AP1-AP4により比較している。この基準電圧VccSは、この電圧検知回路DTのために特別に作られたものではない。この結果、電圧検知回路DTは、非常にシンプルな構成で実現することができる。

【0030】図3は、図2に示された比較回路AP*i* (*i*=1-4)の構成を示す回路図である。図3を参照して、比較回路AP*i*は、PチャネルMOSTランジス

タQP1、QP2と、NチャネルMOSTランジスタQN1、QN2と、定電流源ISとを含む。PチャネルMOSTランジスタQP1は、電源ノードVccと出力ノードNoutとの間に接続され、そのゲートはPチャネルMOSTランジスタQP2のゲートに接続される。NチャネルMOSTランジスタQN1は、出力ノードNoutとノードN1との間に接続され、基準電圧VccSをゲートに受ける。PチャネルMOSTランジスタQP2およびNチャネルMOSTランジスタQN2は、電源ノードVccとノードN1との間に直列に接続される。PチャネルMOSTランジスタQP2のドレインは自身のゲートに接続される。NチャネルMOSTランジスタQN2は、図2に示される電圧Vi (*i*=1-4)をゲートに受ける。定電流源ISは、ノードN1と接地ノードVssとの間に設けられる。この比較回路AP*i*は、カレントミラー増幅器であり、NチャネルMOSTランジスタQN2のゲートに入力される電圧ViがNチャネルMOSTランジスタQN1のゲートに入力される基準電圧VccS以上のときは、出力ノードNoutにはLレベルの活性化信号Sig*i*が出力され、電圧Viが基準電圧VccSよりも小さいときは、出力ノードNoutにHレベルの活性化信号Sig*i*が出力される。

【0031】図4は、図1に示されたチャージャポンプ回路CP*i* (*i*=1-4)の構成を示すブロック図である。図4を参照して、チャージャポンプ回路CP*i*は、NチャネルMOSTランジスタQN11-QN17と、キャパシタC11-C13と、インバータIV11、IV12とを含む。インバータIV11は、駆動信号Cact*i*を反転する。インバータIV12は、インバータIV11の出力を反転する。NチャネルMOSTランジスタQN11は、電源ノードVccとノードN13との間に接続され、そのゲートは、電源ノードVccに接続される。NチャネルMOSTランジスタQN12-QN14は、電源ノードVccとノードN13との間に直列に接続され、かつ各々のゲートとドレインが接続される。NチャネルMOSTランジスタQN15は、電源ノードVccとノードN12との間に接続され、ノードN13の電圧をゲートに受ける。NチャネルMOSTランジスタQN16は、電源ノードVccとノードN11との間に接続され、ノードN13の電圧をゲートに受ける。NチャネルMOSTランジスタQN17は、ノードN12と昇圧ノードNpとの間に接続され、ノードN11の電圧をゲートに受ける。キャパシタC11は、インバータIV11の出力ノードとノードN13との間に接続される。キャパシタC12は、インバータIV12の出力ノードとノードN11との間に接続される。キャパシタC13は、インバータIV12の出力ノードとノードN12との間に接続される。

【0032】このチャージャポンプ回路CP*i*においては、駆動信号Cact*i*がLレベルのとき、ノードN1

1およびノードN12は電源電圧Vccにプリチャージされ、駆動信号CactiがHレベルに変化すると、ノードN11およびN12の電圧は2Vccに昇圧され昇圧ノードNpの電圧Vppは $2Vcc - V_{th}$ となる。なお、Vthは、NチャネルMOSトランジスタQN17のしきい値を表わす。

【0033】次に、以上のように構成された昇圧回路の動作について説明する。以下、抵抗器RUの抵抗値をr、抵抗器R1の抵抗値をr1、抵抗器R2の抵抗値をr2、抵抗器R3の抵抗値をr3、抵抗器R4の抵抗値をr4、抵抗器RLの抵抗値をrl、さらに、 $\Sigma R = r + r1 + r2 + r3 + r4 + rl$ とする。

【0034】(1)  $V_{pp} \geq (\Sigma R / rl) \times V_{cc} S$ のとき

すなわち、 $V4 \geq V_{cc} S$ の場合である。

【0035】この場合は、昇圧電圧Vppのレベルはメモリセルにデータを書込むのに十分な値であるため昇圧回路による昇圧は行なわれない。すなわち、電圧V1-V4はすべて基準電圧VccS以上であるため、活性化信号Sig1-Sig4はすべてLレベルとなる。この結果、チャージャポンプ回路CP1-CP4は動作しない。

【0036】(2)  $(\Sigma R / rl) \times V_{cc} S > V_{pp} \geq (\Sigma R / (r4 + rl)) \times V_{cc} S$ のとき

すなわち、 $V3 \geq V_{cc} S > V4$ の場合である。

【0037】昇圧電圧Vppがこの範囲まで低下したときは、電圧V1-V4のうち電圧V4が基準電圧VccSより小さくなる。これにより、活性化信号Sig4がLレベルからHレベルとなる。これを受けて発振器OSC4は周波数f4の駆動信号Cact4をチャージャポンプ回路に供給する。この駆動信号を受けてチャージャポンプ回路CP4は昇圧ノードNpの電圧を昇圧する。その結果、昇圧電圧Vppが $(\Sigma R / rl) \times V_{cc} S$ 以上となると活性化信号Sig4はHレベルからLレベルとなりチャージャポンプ回路CP4による昇圧は終了する。

【0038】(3)  $(\Sigma R / (r4 + rl)) \times V_{cc} S > V_{pp} \geq (\Sigma R / (r3 + r4 + rl)) \times V_{cc} S$ のとき

すなわち、 $V2 \geq V_{cc} S > V3$ の場合である。

【0039】昇圧電圧Vppのレベルがこの範囲まで低下すると電圧V1-V4のうち電圧V3および電圧V4が基準電圧VccSより小さくなる。これにより、活性化信号Sig1-Sig4のうち活性化信号Sig3およびSig4がLレベルからHレベルとなる。この活性化信号Sig3を受けて発振器OSC3は周波数f3の駆動信号Cact3をチャージャポンプ回路CP3に供給し、活性化信号Sig4を受けて発振器OSC4は周波数f4の駆動信号Cact4をチャージャポンプ回路CP4に供給する。この結果、チャージャポンプ回路

CP3およびチャージャポンプ回路CP4によって昇圧ノードNpの電圧が昇圧される。

【0040】その結果、昇圧電圧Vppが上記(2)の範囲になると活性化信号Sig3はHレベルからLレベルとなりチャージャポンプ回路CP3による昇圧は終了する。その後チャージャポンプ回路CP4のみによる昇圧が行なわれ、昇圧電圧Vppが上記(1)の範囲になると活性化信号Sig4がHレベルからLレベルとなりチャージャポンプ回路CP4による昇圧も終了する。

【0041】(4)  $(\Sigma R / (r3 + r4 + rl)) \times V_{cc} S > V_{pp} \geq (\Sigma R / (r2 + r3 + r4 + rl)) \times V_{cc} S$ のとき

すなわち、 $V1 \geq V_{cc} S > V2$ の場合である。

【0042】昇圧電圧Vppがこの範囲まで低下すると、電圧V1-V4のうち電圧V2-V4が基準電圧VccSよりも低くなる。これにより活性化信号Sig2, Sig3, Sig4がLレベルからHレベルとなる。これに伴って、発振器OSC2-OSC4は、それぞれ周波数f2-f4の駆動信号Cact2-Cact4をチャージャポンプ回路CP2-CP4に供給する。この結果、チャージャポンプ回路CP2-CP4によって昇圧ノードNpの電圧が昇圧される。その結果、昇圧電圧Vppが上記(3)の範囲になると、活性化信号Sig2はHレベルからLレベルとなりチャージャポンプ回路CP2は昇圧動作を終了する。その後チャージャポンプ回路CP3, CP4による昇圧が行われ、昇圧電圧Vppが上記(2)の範囲になると活性化信号Sig3はHレベルからLレベルとなりチャージャポンプ回路CP3は昇圧動作を終了する。さらにその後チャージャポンプ回路CP4による昇圧が行われ、昇圧電圧Vppが上記(1)の範囲になると活性化信号Sig4はHレベルからLレベルとなりチャージャポンプ回路CP4は昇圧動作を終了し、これにより昇圧電圧Vppの昇圧は終了する。

【0043】(5)  $V_{pp} < (\Sigma R / (r2 + r3 + r4 + rl)) \times V_{cc} S$ のとき

すなわち、 $V_{cc} S > V1$ の場合である。

【0044】昇圧電圧Vppがこの範囲まで低下すると、電圧V1-V4はすべて基準電圧VccSよりも低くなる。これにより、活性化信号Sig1-Sig4はすべてLレベルからHレベルとなる。これに伴って、発振器OSC1-OSC4は、周波数f1-f4の駆動信号Cact1-Cact4をチャージャポンプ回路CP1-CP4に供給する。この結果、すべてのチャージャポンプ回路CP1-CP4により昇圧電圧Vppが昇圧される。

【0045】この結果、昇圧電圧Vppが上記(4)の範囲になると活性化信号Sig1がHレベルからLレベルとなりチャージャポンプ回路CP1は昇圧動作を終了する。さらに、昇圧電圧Vppが上記(3)の範囲にな



ると活性化信号 $Sig2$ がHレベルからLレベルとなりチャージャポンプ回路CP2が昇圧動作を終了する。さらに、昇圧電圧 $V_{pp}$ が上記(2)の範囲になると活性化信号 $Sig3$ がHレベルからLレベルとなりチャージャポンプ回路CP3は昇圧動作を終了する。さらに、昇圧電圧 $V_{pp}$ が上記(1)の範囲になると活性化信号 $Sig4$ がHレベルからLレベルとなりチャージャポンプ回路CP4は昇圧動作を終了し、これにより昇圧ノード $N_p$ の昇圧は終了する。

【0046】以上のように、この昇圧回路は、昇圧電圧 $V_{pp}$ の低下の度合に応じて駆動するチャージャポンプ回路の数を変えている。これにより、目標とする昇圧電圧に対するオーバーシュート、アンダーシュートを抑え、安定した昇圧電圧を供給することができる。

【0047】なお、ここでは、昇圧電圧 $V_{pp}$ を分圧するのに抵抗器 $R_U$ ,  $R1-R4$ ,  $R_L$ を用いたが、これに代えて昇圧ノード $V_{pp}$ と接地ノード $V_{ss}$ との間に直列に複数のトランジスタを設けてもよい。

【0048】[実施の形態2] 図5は、この発明の実施の形態2による昇圧回路の全体構成を示すブロック図である。図5を参照して、昇圧回路は、電圧検知回路DTと、インバータIV24-IV27と、発振器OSC11-OSC14と、チャージャポンプ回路CP1と、NチャネルMOSTランジスタQN25とを備える。電圧検知回路DTは、図2に示された電圧検知回路と構成を同じくし、昇圧電圧 $V_{pp}$ と基準電圧 $V_{ccs}$ を受けて活性化信号 $Sig1-Sig4$ を発生する。インバータIV24-IV27は、それぞれ活性化信号 $Sig1-Sig4$ を反転する。発振回路OSC11は、リングオシレータRO1と、PチャネルMOSTランジスタQP21と、NチャネルMOSTランジスタQN21を含む。リングオシレータRO1は、奇数段のインバータにより構成され、周波数 $f1$ のパルス信号 $Cact11$ を発生する。PチャネルMOSTランジスタQP21およびNチャネルMOSTランジスタQN21はトランスファゲートを構成し、リングオシレータRO1とチャージャポンプ回路CP1との間に接続される。PチャネルMOSTランジスタQP21は、活性化信号/ $Sig1$ にตอบสนองしてオン/オフする。NチャネルMOSTランジスタQN21は、活性化信号 $Sig1$ にตอบสนองしてオン/オフする。発振器OSC12は、リングオシレータRO2と、NAND回路ND21と、インバータIV21と、PチャネルMOSTランジスタQP22と、NチャネルMOSTランジスタQN22を含む。リングオシレータRO2は、奇数段のインバータにより構成され、周波数 $f2$ のパルス信号 $Cact12$ を発生する。NAND回路ND21は、活性化信号/ $Sig1$ と活性化信号 $Sig2$ とのNANDを出力する。インバータIV21は、NAND回路ND21の出力を反転する。PチャネルMOSTランジスタQP22およびNチャネルMO

ストランジスタQN22は、トランスファゲートを構成し、リングオシレータRO2とチャージャポンプ回路CP1との間に接続される。PチャネルMOSTランジスタQP22は、NAND回路ND21の出力にตอบสนองしてオン/オフする。NチャネルMOSTランジスタQN22は、インバータIV21の出力にตอบสนองしてオン/オフする。発振器OSC13は、リングオシレータRO3と、NAND回路ND22と、インバータIV22と、PチャネルMOSTランジスタQP23と、NチャネルMOSTランジスタQN23を含む。リングオシレータRO3は、奇数段のインバータにより構成され周波数 $f3$ のパルス信号 $Cact13$ を発生する。NAND回路ND22は、活性化信号/ $Sig2$ と活性化信号 $Sig3$ とのNANDを出力する。インバータIV22は、NAND回路ND22の出力を反転する。PチャネルMOSTランジスタQP23およびNチャネルMOSTランジスタQN23は、トランスファゲートを構成し、リングオシレータRO3とチャージャポンプ回路CP1との間に接続される。PチャネルMOSTランジスタQP23は、NAND回路ND22の出力にตอบสนองしてオン/オフする。NチャネルMOSTランジスタQN23は、インバータIV22の出力にตอบสนองしてオン/オフする。発振器OSC14は、リングオシレータRO4と、NAND回路ND23と、インバータIV23と、PチャネルMOSTランジスタQP24と、NチャネルMOSTランジスタQN24を含む。リングオシレータRO4は、奇数段のインバータにより構成され周波数 $f4$ のパルス信号 $Cact14$ を発生する。NAND回路ND23は、活性化信号/ $Sig3$ と活性化信号 $Sig4$ とのNANDを出力する。インバータIV23は、NAND回路ND23の出力を反転する。PチャネルMOSTランジスタQP24およびNチャネルMOSTランジスタQN24は、トランスファゲートを構成し、リングオシレータRO4とチャージャポンプ回路CP1との間に接続される。PチャネルMOSTランジスタQP24は、NAND回路ND23の出力にตอบสนองしてオン/オフする。NチャネルMOSTランジスタQN24は、インバータIV23の出力にตอบสนองしてオン/オフする。パルス信号 $Cact11-Cact14$ の周波数 $f1-f4$ は、実施の形態1に示されるのと同様に、 $f1 > f2 > f3 > f4$ の関係にある。NチャネルMOSTランジスタQN25は、チャージャポンプ回路CP1の入力ノードと接地ノード $V_{ss}$ との間に接続され、活性化信号/ $Sig4$ にตอบสนองしてオン/オフする。チャージャポンプ回路CP1は、入力ノードINに供給される信号にตอบสนองして活性化され、昇圧ノード $N_p$ の電圧を昇圧する。チャージャポンプ回路CP1の構成および動作は、図4に示されるチャージャポンプ回路と同様である。従って、チャージャポンプ回路CP1の駆動能力は、周波数 $f1$ のパルス信号 $Cact11$ を受けて動作するとき最も

大きく、周波数  $f_4$  のパルス信号  $Cact14$  を受けて動作するとき最も小さくなる。

【0049】次に、以上のように構成された昇圧回路の動作について、実施の形態1で示された(1)～(5)の場合について説明する。

【0050】(1)の場合は、実施の形態1に示されるのと同様電圧検知回路DTから発生する活性化信号  $Sig1-Sig4$  はすべてLレベルであるため、図5に示されるPチャネルMOSトランジスタQP21-QP24およびNチャネルMOSトランジスタQN21-QN24はすべてオフになる。また、NチャネルMOSトランジスタQN25はオンになる。したがって、チャージャポンプ回路CP1による昇圧は行なわれない。

【0051】(2)の場合は、活性化信号  $Sig4$  がLレベルからHレベルとなる。活性化信号  $Sig1-Sig3$  はLレベルのままである。これにより、NAND回路ND23の出力がLレベルとなり、PチャネルMOSトランジスタQP24およびNチャネルMOSトランジスタQN24がオンになる。また、NチャネルMOSトランジスタQN25はオフになる。この結果、リングオシレータRO4からのパルス信号  $Cact14$  がチャージャポンプ回路CP1へ供給される。チャージャポンプ回路CP1は、パルス信号  $Cact14$  の周波数に応じた駆動能力で昇圧電圧  $V_{pp}$  を昇圧する。

【0052】その後、昇圧電圧  $V_{pp}$  が(1)の範囲まで昇圧されると活性化信号  $Sig4$  がHレベルからLレベルとなる。これに応じてPチャネルMOSトランジスタQP24およびNチャネルMOSトランジスタQN24がオフになり、NチャネルMOSトランジスタQN25はオンになる。これによりチャージャポンプ回路CP1は昇圧動作を終了する。

【0053】(3)の場合は、活性化信号  $Sig3$  および活性化信号  $Sig4$  がLレベルからHレベルとなる。活性化信号  $Sig1, Sig2$  はLレベルのままである。これに応じて、NAND回路ND22の出力がLレベルとなり、PチャネルMOSトランジスタQP23およびNチャネルMOSトランジスタQN23がオンになる。また、NチャネルMOSトランジスタQN25はオフになる。この結果、リングオシレータRO3からのパルス信号  $Cact13$  がチャージャポンプ回路CP1に供給される。チャージャポンプ回路CP1は、パルス信号  $Cact13$  の周波数に応じた駆動能力で昇圧電圧  $V_{pp}$  を昇圧する。

【0054】その後昇圧電圧  $V_{pp}$  が(2)の範囲になると活性化信号  $Sig3$  がHレベルからLレベルとなる。これに応じて、NAND回路ND22の出力がHレベルとなりPチャネルMOSトランジスタQP23およびNチャネルMOSトランジスタQN23がオンになる。また、NAND回路ND23の出力がHレベルからLレベルとなりPチャネルMOSトランジスタQP24

およびNチャネルMOSトランジスタQN24がオンになる。この結果、リングオシレータRO4からのパルス信号  $Cact14$  がチャージャポンプ回路CP1に供給され、チャージャポンプ回路CP1は、パルス信号  $Cact14$  に応じた駆動能力で昇圧電圧  $V_{pp}$  を昇圧する。

【0055】その後さらに、昇圧電圧  $V_{pp}$  が(1)の範囲になると、活性化信号  $Sig4$  がHレベルからLレベルとなり、PチャネルMOSトランジスタQP24およびNチャネルMOSトランジスタQN24がオフになり、NチャネルMOSトランジスタQN25がオンになる。その結果、チャージャポンプ回路CP1は昇圧動作を終了する。

【0056】(4)の場合は、活性化信号  $Sig2, Sig3, Sig4$  がLレベルからHレベルとなる。これに応じて、NAND回路ND21の出力がHレベルとなりPチャネルMOSトランジスタQP22およびNチャネルMOSトランジスタQN22がオンになる。また、NチャネルMOSトランジスタQN25がオフになる。この結果、リングオシレータRO2からのパルス信号  $Cact12$  がチャージャポンプ回路CP1に供給される。チャージャポンプ回路CP1は、パルス信号  $Cact12$  に応じた駆動能力で昇圧電圧  $V_{pp}$  を昇圧する。

【0057】その後、昇圧電圧  $V_{pp}$  が(3)の範囲になると、活性化信号  $Sig2$  がHレベルからLレベルとなる。これに応じて、PチャネルMOSトランジスタQP22およびNチャネルMOSトランジスタQN22がオフになり、PチャネルMOSトランジスタQP23およびNチャネルMOSトランジスタQN23がオンになる。この結果、リングオシレータRO3からのパルス信号  $Cact13$  がチャージャポンプ回路CP1に供給され、チャージャポンプ回路CP1はパルス信号  $Cact13$  に応じた駆動能力で昇圧電圧  $V_{pp}$  を昇圧する。

【0058】その後さらに、昇圧電圧  $V_{pp}$  が(2)の範囲になると、活性化信号  $Sig3$  がHレベルからLレベルとなる。これに応じて、PチャネルMOSトランジスタQP23およびNチャネルMOSトランジスタQN23がオフになり、PチャネルMOSトランジスタQP24およびNチャネルMOSトランジスタQN24がオンになる。この結果、リングオシレータRO4からのパルス信号  $Cact14$  がチャージャポンプ回路CP1に供給される。チャージャポンプ回路CP1は、パルス信号  $Cact14$  に応じた駆動能力で昇圧電圧  $V_{pp}$  を昇圧する。

【0059】その後さらに、昇圧電圧  $V_{pp}$  が(1)の範囲になると、活性化信号  $Sig4$  がHレベルからLレベルとなる。これに応じてPチャネルMOSトランジスタQP24およびNチャネルMOSトランジスタQN24がオフになり、PチャネルMOSトランジスタQP25がオンになる。この結果、チャージャポンプ回路CP

1は昇圧動作を終了する。

【0060】(5)の場合は、活性化信号Sig1-Sig4のすべてがHレベルとなる。これに応じて、PチャネルMOSTランジスタQP21およびNチャネルMOSTランジスタQN21がオンになる。また、NチャネルMOSTランジスタQN25はオフになる。この結果、リングオシレータRO1からのパルス信号Cact11がチャージャポンプ回路CP1に供給される。チャージャポンプ回路CP1は、パルス信号Cact11に応じた駆動能力で昇圧電圧Vppを昇圧する。その後、昇圧電圧Vppが(4)の範囲になると、活性化信号Sig1がLレベルとなる。これに応じてPチャネルMOSTランジスタQP21およびNチャネルMOSTランジスタQN21がオンになり、PチャネルMOSTランジスタQP22およびNチャネルMOSTランジスタQN22がオンになる。この結果、リングオシレータRO2からのパルス信号Cact12がチャージャポンプ回路CP1に供給され、チャージャポンプ回路CP1はパルス信号Cact12に応じた駆動能力で昇圧電圧Vppを昇圧する。

【0061】その後さらに、昇圧電圧Vppが(3)の範囲になると、活性化信号Sig2がLレベルとなる。これに応じて、PチャネルMOSTランジスタQP22およびNチャネルMOSTランジスタQN22がオフになり、PチャネルMOSTランジスタQP23およびNチャネルMOSTランジスタQN23がオンになる。この結果、リングオシレータRO3からのパルス信号Cact13がチャージャポンプ回路CP1に供給され、チャージャポンプ回路CP1はパルス信号Cact13に応じた駆動能力で昇圧電圧Vppを昇圧する。

【0062】その後さらに、昇圧電圧Vppが(2)の範囲になると、活性化信号Sig3がLレベルとなる。これに応じて、PチャネルMOSTランジスタQP23およびNチャネルMOSTランジスタQN23がオフになり、PチャネルMOSTランジスタQP24およびNチャネルMOSTランジスタQN24がオンになる。この結果、リングオシレータRO4からのパルス信号Cact14がチャージャポンプ回路CP1に供給され、チャージャポンプ回路CP1はパルス信号Cact14に応じた駆動能力で昇圧電圧Vppを昇圧する。

【0063】その後さらに、昇圧電圧Vppが(1)の範囲になると、活性化信号Sig4がLレベルとなる。これに応じて、PチャネルMOSTランジスタQP24およびNチャネルMOSTランジスタQN24がオフになり、NチャネルMOSTランジスタQN25がオンになる。この結果、チャージャポンプ回路CP1は昇圧動作を終了する。

【0064】以上のように、この実施の形態2によれば、パルス信号Cact11-Cact14に応じた駆動能力でチャージャポンプ回路CP1が昇圧動作を行な

め、目標とする昇圧電圧に対するオーバーシュート、アンダーシュートを抑え、安定した昇圧電圧を供給することができる。

【0065】また、チャージャポンプ回路は1つ設けるだけでよいので、チップ面積を低減することができる。

【0066】[実施の形態3]図6は、この発明の実施の形態3による昇圧回路の全体構成を示すブロック図である。図6を参照して、この昇圧回路は、電圧検知回路DTと、差動増幅回路AMPと、電圧制御型発振回路VCOと、NAND回路ND31と、チャージャポンプ回路CP1とを備える。

【0067】電圧検知回路DTは、図2に示された電圧検知回路と構成を同じくし、昇圧電圧Vppと基準電圧Vccsとを受けて活性化信号Sig1-Sig4を発生する。

【0068】差動増幅回路AMPは、PチャネルMOSTランジスタQP31、QP21と、NチャネルMOSTランジスタQN31-QN36を含む。PチャネルMOSTランジスタQP31およびNチャネルMOSTランジスタQN35は、電源ノードVccと接地ノードVssとの間に直列に接続される。PチャネルMOSTランジスタQP31のゲートは、自身のドレインに接続される。NチャネルMOSTランジスタQN35は、電源電圧Vccをゲートに受ける。PチャネルMOSTランジスタQP32およびNチャネルMOSTランジスタQN36は、電源ノードVccと接地ノードVssとの間に直列に、かつPチャネルMOSTランジスタQP31と並列に接続される。PチャネルMOSTランジスタQP32のゲートは、PチャネルMOSTランジスタQP31のゲートに接続される。NチャネルMOSTランジスタQN36のゲートは、自身のドレインに接続される。NチャネルMOSTランジスタQN31-QN34は、ノードN31と接地ノードVssとの間に、NチャネルMOSTランジスタQN35と並列に接続され、それぞれ活性化信号Sig1-Sig4をゲートに受ける。PチャネルMOSTランジスタQP31とPチャネルMOSTランジスタQP32、およびNチャネルMOSTランジスタQN31-QN35とNチャネルMOSTランジスタQN36は、それぞれカレントミラーを構成する。さらに、PチャネルMOSTランジスタQP31とPチャネルMOSTランジスタQP51、NチャネルMOSTランジスタQN36とNチャネルMOSTランジスタQN51は、それぞれカレントミラーを構成する。

【0069】電圧制御型発振回路VCOは、PチャネルMOSTランジスタQP41、QP51およびNチャネルMOSTランジスタQN41、QN51で構成されるクロックドインバータが7段リング状に接続されたリングオシレータを含む。これらのクロックドインバータは、PチャネルMOSTランジスタQP51およびNチャ

チャネルMOSトランジスタQN51を流れる電流の大きさによりその駆動能力が変化し、さらにパルス信号Cact21の周波数も変化する。

【0070】NAND回路ND31は、電圧制御型発信回路VCOに含まれるリングオシレータから出力されるパルス信号Cact21と活性化信号Sig4とのNANDを出力する。インバータIV31は、NAND回路ND31の出力を反転する。チャージャポンプ回路CP1は、インバータIV31の出力にตอบสนองして昇圧電圧Vppを昇圧する。

【0071】次に、以上のように構成された昇圧回路の動作について、実施の形態1で示された(1)～(5)の場合について説明する。

【0072】(1)の場合は、実施の形態1に示されるのと同様電圧検知回路DTから発生する活性化信号Sig1～Sig4はすべてLレベルであるため、図6に示されるNAND回路ND31の出力はHレベルとなり、インバータIV31の出力はLレベルとなる。したがって、チャージャポンプ回路CP1による昇圧は行なわれない。

【0073】(2)の場合は、活性化信号Sig4がLレベルからHレベルとなる。活性化信号Sig1～Sig3はLレベルのままである。これにより、NチャネルMOSトランジスタQN34がオンになる。このとき、カレントミラーの作用によりPチャネルMOSトランジスタQP31およびNチャネルMOSトランジスタQN34、QN35を流れる電流に応じた電流がPチャネルMOSトランジスタQP51またはNチャネルMOSトランジスタQP51に流れる程度の強さでPチャネルMOSトランジスタQP51およびNチャネルMOSトランジスタQN51がオンになる。この結果、周波数f14のパルス信号Cact21がNAND回路31へ入力される。活性化信号Sig4はHレベルであるため、パルス信号Cact21はインバータIV31を介してチャージャポンプ回路CP1へ供給される。チャージャポンプ回路CP1は、パルス信号Cact21の周波数f14に応じた駆動能力で昇圧電圧Vppを昇圧する。

【0074】その後、昇圧電圧Vppが(1)の範囲まで昇圧されると活性化信号Sig4がHレベルからLレベルとなる。これに応じてNAND回路ND31の出力はHレベル、インバータIV31の出力はLレベルとなる。これによりチャージャポンプ回路CP1は昇圧動作を終了する。

【0075】(3)の場合は、活性化信号Sig3および活性化信号Sig4がLレベルからHレベルとなる。これにより、NチャネルMOSトランジスタQN33、QN34がオンになる。PチャネルMOSトランジスタQP31およびNチャネルMOSトランジスタQN33～QN35を流れる電流は、(2)の場合に比べて大きくなる。このとき、カレントミラーの作用によりPチャ

ネルMOSトランジスタQP51およびNチャネルMOSトランジスタQN51が(2)の場合よりも強くオンになる。この結果、周波数f14よりも高い周波数f13のパルス信号Cact21がNAND回路31へ入力される。活性化信号Sig4はHレベルであるため、パルス信号Cact21はインバータIV31を介してチャージャポンプ回路CP1へ供給される。チャージャポンプ回路CP1は、パルス信号Cact21の周波数f13に応じた駆動能力、すなわち(2)の場合よりも大きな駆動能力で昇圧電圧Vppを昇圧する。

【0076】その後昇圧電圧Vppが(2)の範囲になると活性化信号Sig3がHレベルからLレベルとなる。これに応じて、NチャネルMOSトランジスタQN33がオフになる。これによってパルス信号Cact21の周波数はf13からf14となる。チャージャポンプ回路CP1は、パルス信号Cact21の周波数f14に応じた駆動能力で昇圧電圧Vppを昇圧する。

【0077】その後、昇圧電圧Vppが(1)の範囲まで昇圧されると活性化信号Sig4がHレベルからLレベルとなる。これに応じてNAND回路ND31の出力はHレベル、インバータIV31の出力はLレベルとなる。これによりチャージャポンプ回路CP1は昇圧動作を終了する。

【0078】(4)の場合は、活性化信号Sig2～Sig4がLレベルからHレベルとなる。これにより、NチャネルMOSトランジスタQN32～QN34がオンになる。PチャネルMOSトランジスタQP31およびNチャネルMOSトランジスタQN32～QN35を流れる電流は、(3)の場合に比べて大きくなる。このとき、カレントミラーの作用によりPチャネルMOSトランジスタQP51およびNチャネルMOSトランジスタQN51が(3)の場合よりも強くオンになる。この結果、周波数f13よりも高い周波数f12のパルス信号Cact21がNAND回路31へ入力される。活性化信号Sig4はHレベルであるため、パルス信号Cact21はインバータIV31を介してチャージャポンプ回路CP1へ供給される。チャージャポンプ回路CP1は、パルス信号Cact21の周波数f12に応じた駆動能力、すなわち(3)の場合よりも大きな駆動能力で昇圧電圧Vppを昇圧する。

【0079】その後昇圧電圧Vppが(3)の範囲になると活性化信号Sig2がHレベルからLレベルとなる。これに応じて、NチャネルMOSトランジスタQN32がオフになる。これによってパルス信号Cact21の周波数はf12からf13となる。チャージャポンプ回路CP1は、パルス信号Cact21の周波数f13に応じた駆動能力で昇圧電圧Vppを昇圧する。

【0080】その後さらに、昇圧電圧Vppが(2)の範囲になると活性化信号Sig3がHレベルからLレベルとなる。これに応じて、NチャネルMOSトランジ

タQ N 3 3 がオフになる。これによってパルス信号C a c t 2 1 の周波数はf 1 3 からf 1 4 となる。チャージャポンプ回路C P 1 は、パルス信号C a c t 2 1 の周波数f 1 4 に応じた駆動能力で昇圧電圧V p p を昇圧する。

【0081】その後、昇圧電圧V p p が( 1 ) の範囲まで昇圧されると活性化信号S i g 4 がHレベルからLレベルとなる。これに応じてNAND回路N D 3 1 の出力はHレベル、インバータI V 3 1 の出力はLレベルとなる。これによりチャージャポンプ回路C P 1 は昇圧動作を終了する。

【0082】( 5 ) の場合は、活性化信号S i g 1 - S i g 4 がLレベルからHレベルとなる。これにより、NチャネルMOSTランジスタQ N 3 1 - Q N 3 4 がオンになる。PチャネルMOSTランジスタQ P 3 1 およびNチャネルMOSTランジスタQ N 3 1 - Q N 3 5 を流れる電流は、( 4 ) の場合に比べて大きくなる。このとき、カレントミラーの作用によりPチャネルMOSTランジスタQ P 5 1 およびNチャネルMOSTランジスタQ N 5 1 が( 4 ) の場合よりも強くオンになる。この結果、周波数f 1 2 よりも高い周波数f 1 1 のパルス信号C a c t 2 1 がNAND回路3 1 へ入力される。活性化信号S i g 4 はHレベルであるため、パルス信号C a c t 2 1 はインバータI V 3 1 を介してチャージャポンプ回路C P 1 へ供給される。チャージャポンプ回路C P 1 は、パルス信号C a c t 2 1 の周波数f 1 1 に応じた駆動能力、すなわち( 4 ) の場合よりも大きな駆動能力で昇圧電圧V p p を昇圧する。

【0083】その後昇圧電圧V p p が( 4 ) の範囲になると活性化信号S i g 1 がHレベルからLレベルとなる。これに応じて、NチャネルMOSTランジスタQ N 3 1 がオフになる。これによってパルス信号C a c t 2 1 の周波数はf 1 1 からf 1 2 となる。チャージャポンプ回路C P 1 は、パルス信号C a c t 2 1 の周波数f 1 2 に応じた駆動能力で昇圧電圧V p p を昇圧する。

【0084】その後さらに、昇圧電圧V p p が( 3 ) の範囲になると活性化信号S i g 2 がHレベルからLレベルとなる。これに応じて、NチャネルMOSTランジスタQ N 3 2 がオフになる。これによってパルス信号C a c t 2 1 の周波数はf 1 2 からf 1 3 となる。チャージャポンプ回路C P 1 は、パルス信号C a c t 2 1 の周波数f 1 3 に応じた駆動能力で昇圧電圧V p p を昇圧する。

【0085】その後さらに、昇圧電圧V p p が( 2 ) の範囲になると活性化信号S i g 3 がHレベルからLレベルとなる。これに応じて、NチャネルMOSTランジスタQ N 3 3 がオフになる。これによってパルス信号C a c t 2 1 の周波数はf 1 3 からf 1 4 となる。チャージャポンプ回路C P 1 は、パルス信号C a c t 2 1 の周波数f 1 4 に応じた駆動能力で昇圧電圧V p p を昇圧す

る。

【0086】その後、昇圧電圧V p p が( 1 ) の範囲まで昇圧されると活性化信号S i g 4 がHレベルからLレベルとなる。これに応じてNAND回路N D 3 1 の出力はHレベル、インバータI V 3 1 の出力はLレベルとなる。これによりチャージャポンプ回路C P 1 は昇圧動作を終了する。

【0087】以上のように、この実施の形態3 によれば、差動増幅回路A M P と、電圧制御型発信回路V C O とを設けたため、電圧パルス信号C a c t 2 1 の周波数f 1 1 - f 1 4 に応じた駆動能力でチャージャポンプ回路C P 1 が昇圧動作を行う。この結果、目標とする昇圧電圧に対するオーバーシュート、アンダーシュートを抑え、安定した昇圧電圧を供給することができる。

【0088】また、チャージャポンプ回路は1 つ設けるだけでよいと、チップ面積を低減することができる。

【0089】さらに、電圧制御型発信回路V C O は、これ1 つで周波数f 1 1 - f 1 4 のパルス信号C a c t 2 1 を発生するため、実施の形態2 に比べてさらにチップ面積を低減することができる。

【0090】今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0091】

【発明の効果】この発明に従った昇圧回路は、昇圧ノードと、電圧検知手段と、昇圧手段とを設けたため、目標とする昇圧電圧に対するオーバーシュート、アンダーシュートを抑え、安定した昇圧電圧を供給することができる。

【0092】また、電源電圧は、基準電圧として複数の比較器に共通に与えられるため、基準電圧を生成するための回路を別個に設ける必要がない。したがって、電圧検知手段は非常に簡単な構成となる。

【0093】また、昇圧手段は、複数の発振手段と、チャージャポンプ回路とを含むため、チャージャポンプ回路は1 つ設けるだけでよく、チップ面積を低減することができる。

【0094】また、複数の発振手段は、互いに異なる周波数のパルス信号を出力するため、目標とする昇圧電圧に対するオーバーシュート、アンダーシュートを抑え、安定した昇圧電圧を供給することができる。

【0095】また、昇圧手段は、リングオシレータと、制御手段と、チャージャポンプ回路とを含むため、チャージャポンプ、リングオシレータはそれぞれ1 つずつ設けるだけでよく、チップ面積を低減することができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1 による昇圧回路の全

体構成を示すブロック図である。

【図2】 図1に示された電圧検知回路の構成を示すブロック図である。

【図3】 図2に示された比較回路の構成を示す回路図である。

【図4】 図1に示されたチャージポンプ回路の構成を示すブロック図である。

【図5】 この発明の実施の形態2による昇圧回路の全体構成を示すブロック図である。

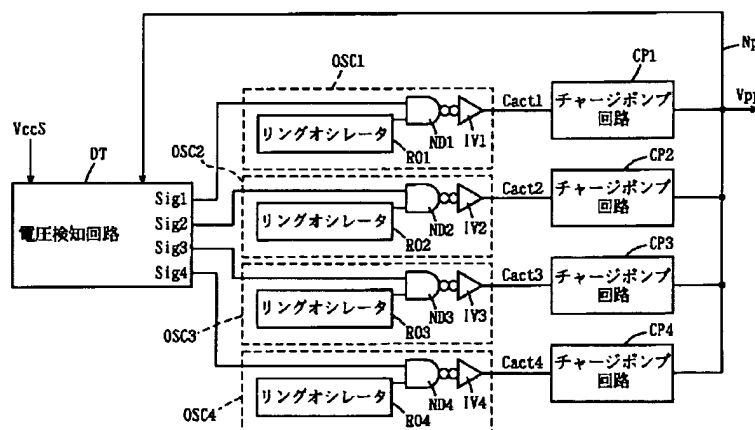
【図6】 この発明の実施の形態3による昇圧回路の全体構成を示すブロック図である。

【図7】 従来の昇圧回路の構成を示すブロック図である。

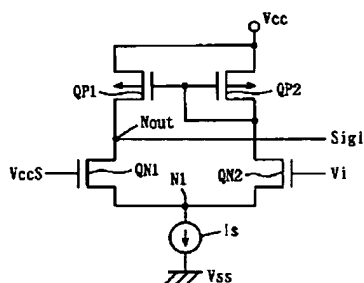
【符号の説明】

DT 電圧検知回路、OSC1-OSC4, OSC11-OSC14 発振器、CP1-CP4 チャージポンプ回路、RO1-RO4 リングオシレータ、R1-R4 抵抗器、AP1-AP4 比較回路、AMP 差動増幅回路、VCO 電圧制御型発信回路、Np 昇圧ノード、Vpp 昇圧電圧、VccS基準電圧、Sig1-Sig4 活性化信号。

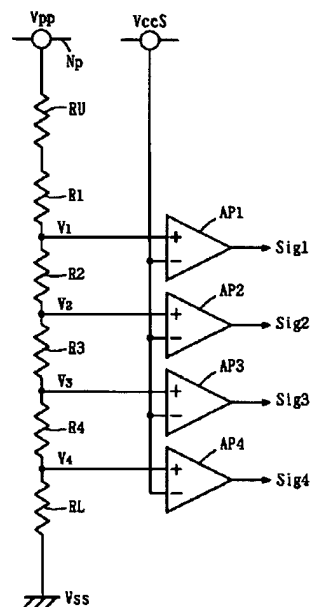
【図1】



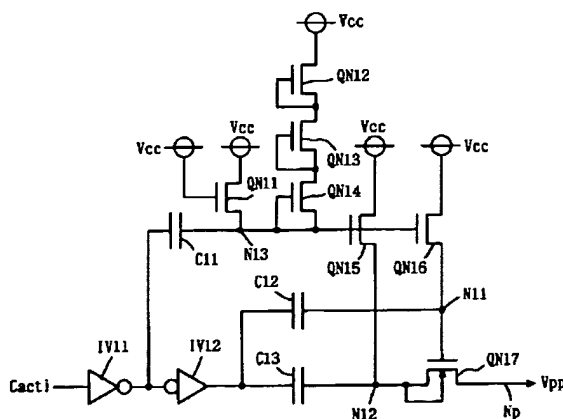
【図3】



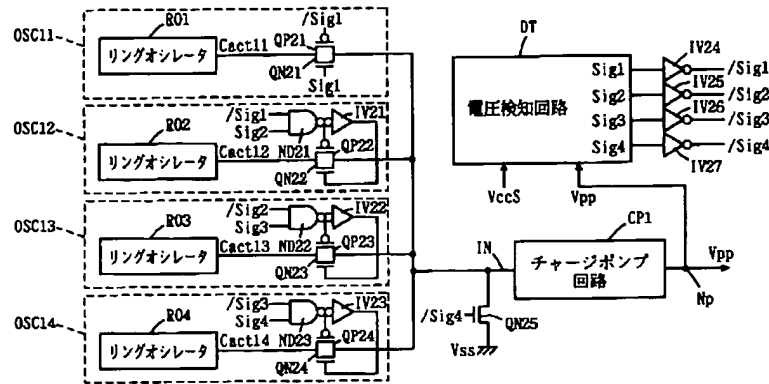
【図2】



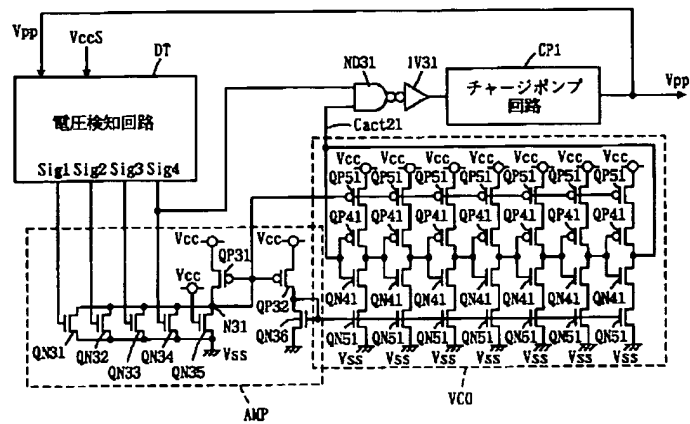
【図4】



【 図 5 】



【 図 6 】



【 図 7 】

